

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-174843

(43)Date of publication of application : 29.06.2001

(51)Int.Cl.

G02F 1/1345

G09G 3/20

G09G 3/36

H04N 5/66

(21)Application number : 11-351784

(71)Applicant : INTERNATL BUSINESS MACH CORP
<IBM>

(22)Date of filing : 10.12.1999

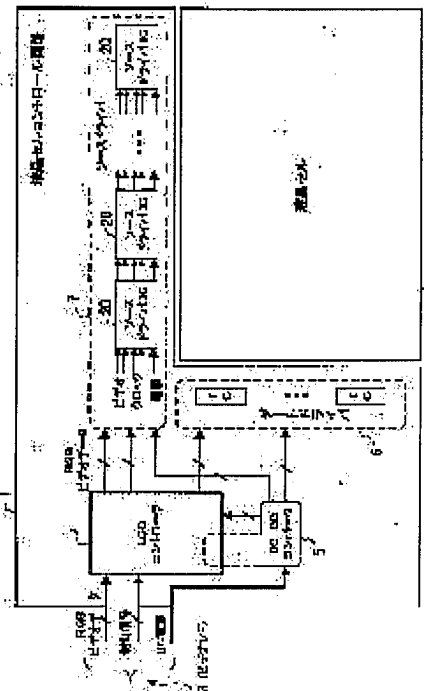
(72)Inventor : SAKAGUCHI YOSHITAMI
DEGURE SIMON

(54) LIQUID CRYSTAL DISPLAY DEVICE, LIQUID CRYSTAL CONTROLLER AND VIDEO SIGNAL TRANSMITTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To attain cost reduction by realization of a COG(chip on glass) and a WOA(wiring on array) by reducing the number of inputs of LCD(liquid crystal display) drivers.

SOLUTION: The COG and the WOA are realized by reducing wirings to respective source drivers IC 20 as much as possible while cascading the source drivers IC 20 to which the video signal inputted through a video I/F(interface) 3 is distributed in a liquid crystal display device. That is, this device is provided with a liquid crystal cell 2 forming a picture display area and a source driver 7 applying voltages to the liquid crystal cell 2 based on the video signal inputted through the video I/F 3 on a substrate and the driver 7 has plural source drivers IC 20 which are mounted on the same substrate on which the cell 2 is mounted and, also, which are cascaded by using signal lines.



LEGAL STATUS

[Date of request for examination]

27.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3508837

[Date of registration]

09.01.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-174843

(P2001-174843A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl. ⁷	識別記号	FI	テーマコード*(参考)
G 0 2 F 1/1345		G 0 2 F 1/1345	2 H 0 9 2
G 0 9 G 3/20	6 3 3	G 0 9 G 3/20	6 3 3 B 5 0 0 0 6
	3/36		5 C 0 5 8
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 B 5 C 0 8 0

審査請求 有 請求項の数16 OL (全 19 頁)

(21)出願番号 特願平11-351784

(22)出願日 平成11年12月10日(1999.12.10)

(71)出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74)代理人 100086243

弁理士 坂口 博 (外3名)

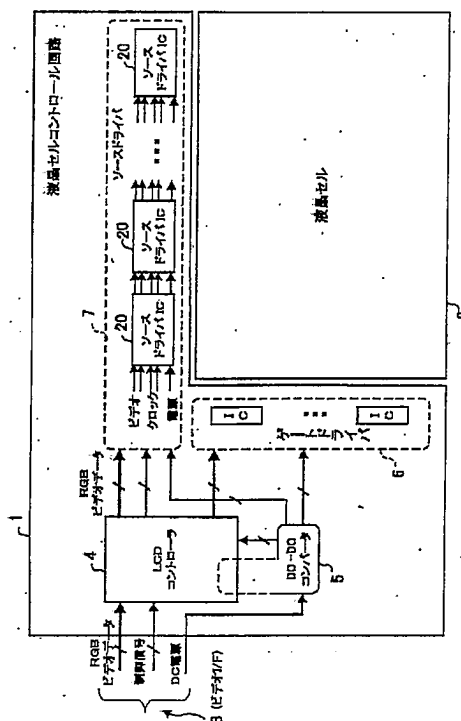
最終頁に続く

(54)【発明の名称】 液晶表示装置、液晶コントローラ、ビデオ信号伝送方法

(57)【要約】

【課題】 LCDドライバの入力数を削減し、COG&WOAの実現によるコスト低減を図る。

【解決手段】 液晶表示装置において、ビデオI/F3を介して入力されたビデオ信号が分配されるソースドライバIC20をカスケード接続し、各ソースドライバIC20への配線を極力、減らすことで、COG&WOAを実現する。即ち、基板上に画像表示領域を形成する液晶セル2と、ビデオI/F3を介して入力されたビデオ信号に基づいてこの液晶セル2に対して電圧を印加するソースドライバ7とを備え、このソースドライバ7は、液晶セル2と同じ基板上に実装されると共に信号線を用いてカスケード接続された複数のソースドライバIC20を有する。



【特許請求の範囲】

【請求項1】 基板上に画像表示領域を形成する液晶セルと、

入力されたビデオ信号に基づいて前記液晶セルに対して電圧を印加するドライバとを備え、

前記ドライバは、前記基板上に実装されると共に信号線を用いてカスケード接続された複数のドライバICを有することを特徴とする液晶表示装置。

【請求項2】 前記ドライバは、前記複数のドライバICに対して供給すべき電源ラインを、当該ドライバICの10 10のメタル層を介してカスケード接続することを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記ドライバICは、シリアルデータからなる前記ビデオ信号を入力すると共に、入力された当該シリアルデータの有する同期パターンに基づいて当該ビデオ信号の同期をとることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 基板上に画像表示領域を形成する液晶セルと、

入力されたビデオ信号を連鎖接続された複数のドライバICに分配すると共に、当該複数のドライバICにより前記液晶セルに対して電圧を印加するドライバとを備え、

前記ドライバは、連鎖接続される上流側のドライバICから当該ドライバICが出力すべき自己ビデオ信号をマスクする信号を下流側のドライバICに出力することで前記ビデオ信号を前記複数のドライバICに対して分配することを特徴とする液晶表示装置。

【請求項5】 前記ドライバを構成する前記下流側のドライバICは、前記上流側のドライバICから出力される前記マスクする信号の受信後に、入力されるビデオ信号に基づいて前記液晶セルに対して電圧を印加することを特徴とする請求項4記載の液晶表示装置。

【請求項6】 基板上に画像表示領域を形成する液晶セルと、

入力されたビデオ信号をカスケード接続された複数のドライバICに分配すると共に、当該複数のドライバICにより前記液晶セルに対して電圧を印加するドライバとを備え、

前記ドライバを構成する前記複数のドライバICは、前記基板上に形成されたビデオ転送用ラインでカスケード接続されると共に、当該ビデオ転送用ラインを介して転送されるシリアルデータによって制御されることを特徴とする液晶表示装置。

【請求項7】 前記複数のドライバICを接続する前記ビデオ転送用ラインは、第1の信号ラインと当該第1の信号ラインとは極性を反転させた第2の信号ラインとで構成されることを特徴とする請求項6記載の液晶表示装置。

【請求項8】 前記複数のドライバICに対してカスケ

ード接続されるクロックラインと電源ラインとを更に備えたことを特徴とする請求項6記載の液晶表示装置。

【請求項9】 前記複数のドライバICを構成する上流側のドライバICは、ビデオとクロックの位相をほぼ整合させるためのダミー回路を備えていることを特徴とする請求項6記載の液晶表示装置。

【請求項10】 ホスト側から画像表示のためのビデオ信号を入力するレシーバと、

前記ホスト側から入力された制御信号に基づいて、複数のドライバICがカスケード接続されたLCDドライバに対して出力すべきパケットデータのヘッダー情報を生成するシーケンサと、

前記レシーバにより入力された前記ビデオ信号をシリアルビデオ信号に変換すると共に、前記シーケンサにより生成された前記ヘッダー情報を付加して当該シリアルビデオ信号を前記LCDドライバに出力する出力手段とを備えたことを特徴とする液晶コントローラ。

【請求項11】 前記シーケンサは、前記LCDドライバにおける複数のドライバICが同期を取るためのヘッダー情報を生成すると共に、

前記出力手段は、水平ブランキング期間を用いて同期に用いる前記ヘッダー情報を出力することを特徴とする請求項10記載の液晶コントローラ。

【請求項12】 複数のドライバICにより構成されるLCDドライバに対してビデオ信号を伝送するためのビデオ信号伝送方法であって、

シリアルインターフェイスを介して水平ブランキング期間を含むビデオ信号を前記複数のドライバICに対して伝送し、

前記ビデオ信号は、前記水平ブランキング期間を用いて同期パターンを伝送することにより前記複数のドライバICにおける同期がとられることを特徴とするビデオ信号伝送方法。

【請求項13】 前記同期パターンは少なくとも2サイクルが伝送されると共に、ビデオ信号の転送期間は当該同期パターンの確認がなされることを特徴とする請求項12記載のビデオ信号伝送方法。

【請求項14】 カスケード接続された複数のドライバICにより構成されるLCDドライバに対してビデオ信号を伝送するためのビデオ信号伝送方法であって、

シリアルインターフェイスを介してカスケード接続された前記複数のドライバICに対して前記ビデオ信号を伝送し、

前記複数のドライバICは伝送された自ら処理すべきビデオ信号に基づいてLCDに対して電圧を出力し、

前記ビデオ信号は、複数の属性を有するビットブロックによって構成されると共に、当該ビットブロックを用いて前記複数のドライバICを制御することを特徴とするビデオ信号伝送方法。

【請求項15】 前記ビットブロックの1つは前記ドラ

イバICを待機させるための待機コマンドを含むものであり、当該待機コマンドは、前記ビデオ信号を自ら処理しているドライバICにより生成されて、カスケード接続された下流側のドライバICに対して伝送されることを特徴とする請求項14記載のビデオ信号伝送方法。

【請求項16】 前記LCDドライバに対して伝送される前記ビデオ信号は、パケットにより転送されると共に、当該パケットのヘッダ部を用いたプロトコルにより前記複数のドライバICが制御されることを特徴とする請求項14記載のビデオ信号伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力されたビデオ信号に基づいて画像を表示する液晶表示装置にかかり、特に、液晶表示パネルのドライバにおけるインターフェイスを改善した液晶表示装置等に関する。

【0002】

【従来の技術】一般に、液晶表示パネルに対して画像が表示される場合、まず、PC等からなるシステム装置またはシステム部のグラフィックスコントローラからビデオインターフェイスを介して画像信号等が出力される。この画像信号等を受け取ったLCD(液晶ディスプレイ)コントローラLSIは、ソースドライバ(Xドライバ、LCDドライバ)およびゲートドライバ(Yドライバ)の各ICに信号を供給し、例えばマトリクス状に並んだTFT配列の各ソース電極および各ゲート電極に対して電圧を印加することで画像を表示させるように構成されている。

【0003】ここで、従来のLCDソースドライバで採用されているインターフェイスを図20に示す。同図において、符号301はソースドライバを構成するソースドライバICのチップであり、1つのLCDパネルにて数個から十数個設けられている。一般的に知られているチップオンガラス(COG: Chip On Glass)の場合には、このチップ301がLCDパネルを構成するガラス基板上であってカラーフィルタの端部外側に実装されている。ここで、各チップ301には、電源ライン(Power)302、ビデオインターフェイス信号303、サンプリング開始信号(StartPulse)304が入力されている。ビデオインターフェイス信号303とサンプリング開始信号304は、8ビット階調の場合に合わせて28本のラインで構成される。このビデオインターフェイス信号303は、R/G/B各色8ビットの24ビットからなるRGBビデオデータ(Video Data)、転送したRGBビデオデータをLCDに出力させるためのストロブ(Strobe)信号、LCDに出力する電圧の極性を指定する極性(Polarity)信号、XGA(1024×768ドット)パネルの場合には65MHz程度のドットクロックを供給するクロック(Clock)信号の27本のラインから構成されている。また、サンプリング開始信号304はRGBビデオデー

タのサンプリングを開始させる信号である。

【0004】図20に示すように、サンプリング開始信号304についてはカスケード接続される場合がある。しかし、それ以外の電源ライン302や27本からなるビデオインターフェイス信号303の配線は、隣接して別個、設けられたプリント基板(PCB: Printed Circuit Board)上やフレキシブルプリント基板(FPC: Flexible Printed Circuit)上に設けられていた。即ち、従来の技術では、チップ間の配線をガラス基板上に構成することが困難であることから、隣接して設けられたプリント基板上に配線部を構成し、チップ間とのバス接続によりビデオデータの転送を可能としていた。この場合には、LCDソースドライバへの入力数の大きさは問題とはならなかった。一方で、近年、更なるコストの削減を目的として、COG&WOA(Wiring On Array)技術が注目されてきた。また、ドライバLSIをTCP(Tape Carrier Package)に配置し、そのTCPを介してTFTアレイ基板(ガラス基板)に接続する技術が開発されている。これらの技術を応用し、IC自身を直接、またはTCPを介してガラス基板に貼り付けると共に、プリント基板に行っている配線を省略することができれば、製造にかかるコストを大きく削減することができる。

【0005】

【発明が解決しようとする課題】しかしながら、従来のバス接続では、LCDソースドライバへのビデオ信号入力数が大きく、COG&WOA型のLCDモジュールを実現することができなかった。即ち、例えば28本等の多数の配線をそのままガラス基板上に移そうとしても、液晶セルの周辺部に1~2cmもの額縁スペースが必要となる。このような広い額縁を確保した場合には、近年の狭額縁化の要請に反することとなり、商品価値が勢い低下してしまう。一方、COG構造にて狭額縁化を達成する技術として、FPCをチップ上に覆いかぶせて配置し、チップ間でFPCと接続する配線構造が、特開平5-107551号公報に提案されている。かかる公報によって確かに狭額縁化を達成できるが、パネルの厚さを小さくする点で不利な問題があった。また、全てのチップがFPCと直接、接続する構造であることから、接続端子数が多くなり、接続の信頼性に問題がある。更に、チップ間に多数のFPC用接続端子を設けているため、チップ間の間隙が大きくなり、小型化が難しくなる問題もあった。

【0006】本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするところは、画期的にLCDドライバの入力数を削減し、COG&WOAの実現によるコスト低減を図ることにある。また、他の目的は、コンパクトで低消費電力である高速なシリアルインターフェイスを実現し、高速で動作する回路を最小限に押さえることで、消費電力とチップサイズの増加を低く押さえることにある。

【0007】

【課題を解決するための手段】かかる目的のもと、本発明は、入力されたビデオ信号が分配されるドライバICをカスケード接続し、各ドライバICへの配線を極力、減らすことで、COG&WOAを実現することによる。即ち、本発明が適用された液晶表示装置は、基板上に画像表示領域を形成する液晶セルと、入力されたビデオ信号に基づいてこの液晶セルに対して電圧を印加するドライバとを備え、このドライバは、基板上に実装されると共に信号線を用いてカスケード接続された複数のドライバICを有することを特徴としている。

【0008】ここで、この複数のドライバICは入力用パッドと出力用パッドを備え、複数のドライバICの中で第1のドライバICにおける出力用パッドと第2のドライバICにおける入力用パッドとを連結させることを特徴とすれば、カスケード接続を簡易に実現することができる点で好ましい。また、この入力用パッドと出力用パッドとをこのドライバICの両端に備えるように構成すれば、例えば信号線とクロック線との配線の長さや、差動信号を形成するペアの信号線の長さを容易に揃えることが可能となり、位相合わせを簡易に実行できる点で優れている。また、このドライバは、複数のドライバICに対して供給すべき電源ラインを、ドライバICのメタル層を介してカスケード接続することを特徴とすれば、基板上に電源ラインを配線する場合に比較して抵抗を低く留めて最下流のドライバICまで電源を供給することが可能となる。

【0009】更に、ドライバICは、シリアルデータからなるビデオ信号を入力すると共に、入力されたシリアルデータの有する同期パターンに基づいてビデオ信号の同期をとることを特徴とすることができる。この同期パターンは、ビデオ信号の水平ブランキング期間に伝送されるように構成することができる。また更に、ビデオ信号の伝送を差動の低電圧信号で行い、使用する配線はビデオデータ用に1ペア(2本)、同期クロック用に1ペア(2本)を用いるように構成すれば、高速シリアルインターフェイスを効率的に実現することができる点で好ましい。

【0010】本発明を適用された液晶表示装置は、基板上に画像表示領域を形成する液晶セルと、入力されたビデオ信号を連鎖接続された複数のドライバICに分配すると共に、この複数のドライバICにより液晶セルに対して電圧を印加するドライバとを備え、このドライバは、連鎖接続される上流側のドライバICからこのドライバICが出力すべき自己ビデオ信号をマスクする信号を下流側のドライバICに出力することでビデオ信号を複数のドライバICに対して分配することを特徴とすることができる。かかる構成によれば、ビデオ信号の分配も、ビデオ信号用配線だけを用いて行うことも可能となる。このマスク処理は、複数個(例えば3個)のロジック

ゲートを差動バッファに追加することにより実現することができる。このドライバを構成する下流側のドライバICは、上流側のドライバICから出力されるマスクする信号の受信後に、入力されるビデオ信号に基づいて液晶セルに対して電圧を印加することを特徴とすれば、下流側のドライバICによるビデオ信号の受信を後続するデータ用のコマンド受信により簡単に行うことができる点で優れている。

【0011】また、本発明を適用した液晶表示装置は、基板上に画像表示領域を形成する液晶セルと、入力されたビデオ信号をカスケード接続された複数のドライバICに分配すると共に、この複数のドライバICにより液晶セルに対して電圧を印加するドライバとを備え、このドライバを構成する複数のドライバICは、基板上に形成されたビデオ転送用ラインでカスケード接続されると共に、このビデオ転送用ラインを介して転送されるシリアルデータによって制御されることを特徴とすることもできる。

【0012】また、この複数のドライバICを接続するビデオ転送用ラインは、第1の信号ラインとこの第1の信号ラインとは極性を反転させた第2の信号ラインとで構成されることを特徴とすることができる。このように構成すれば、高速シリアル転送を実施した場合においても、電波障害(EMI)の発生問題を極力、抑えることが可能となると共に、確実な信号伝送を可能とする点で優れている。更に、ビデオ転送用ライン以外の同期クロック線も同様な1ペアの配線とすることが可能である。また、この複数のドライバICに対してカスケード接続されるクロックラインと電源ラインとを更に備えたことを特徴とすれば、基板上への配線を効率化してWOAを実現することが可能となる。更に、複数のドライバICを構成する上流側のドライバICは、ビデオとクロックの位相をほぼ整合させるためのダミー回路を備えていることを特徴とすれば、各ドライバICに同期合わせのためのPLL(Phase Locked Loop: 位相同期回路)を設けることなく、カスケード接続され複数のドライバICにおける位相合わせを実現できる点で優れている。尚、位相の整合は必ずしも完全な一致を図る必要はなく、許容範囲内で整合させることができれば問題がない。

【0013】また、本発明を液晶コントローラ側から考えると、本発明が適用される液晶コントローラは、ホスト側から画像表示のためのビデオ信号を入力するレシーバと、このホスト側から入力された制御信号に基づいて、複数のドライバICがカスケード接続されたLCDドライバに対して出力すべきパケットデータのヘッダー情報を生成するシーケンサと、このレシーバにより入力されたビデオ信号をシリアルビデオ信号に変換すると共に、このシーケンサにより生成されたヘッダー情報を付加してシリアルビデオ信号をLCDドライバに出力する出力手段とを備えたことを特徴とすることができる。こ

のパケット転送により、例えばビデオ転送用ラインだけでLCDドライバを制御するように構成することが可能となり、従来技術における制御用入力を不要とできる点で優れている。このシーケンサは、このLCDドライバにおける複数のドライバICが同期を取るためのヘッダー情報を生成すると共に、この出力手段は、水平ブランキング期間を用いて同期に用いるヘッダー情報を出力することを特徴とすることができる。

【0014】また、本発明は、複数のドライバICにより構成されるLCDドライバに対してビデオ信号を伝送するためのビデオ信号伝送方法であって、シリアルインターフェイスを介して水平ブランキング期間を含むビデオ信号をこの複数のドライバICに対して伝送し、このビデオ信号は、水平ブランキング期間を用いて同期パターンを伝送することにより複数のドライバICにおける同期がとられることを特徴とすることができる。更に、この同期パターンは少なくとも2サイクルが伝送されれば、シリアルで伝送された同期パターンの切り出しを、ドライバIC側で実行できる点で優れている。また、ドライバIC側でビデオ信号の転送期間は同期パターンの確認がなされることを特徴とすれば、誤動作した場合も1ライン後には同期の復帰ができる点で好ましい。

【0015】また、本発明は、カスケード接続された複数のドライバICにより構成されるLCDドライバに対してビデオ信号を伝送するためのビデオ信号伝送方法であって、シリアルインターフェイスを介してカスケード接続された複数のドライバICに対してビデオ信号を伝送し、この複数のドライバICは伝送された自ら処理すべきビデオ信号に基づいてLCDに対して電圧を出力し、ビデオ信号は、複数の属性を有するビットブロックによって構成されると共に、このビットブロックを用いて複数のドライバICを制御することを特徴とすることができる。

【0016】また、このビットブロックの1つはドライバICを待機させるための待機コマンドを含むものであり、この待機コマンドは、ビデオ信号を自ら処理しているドライバICにより生成されて、カスケード接続された下流側のドライバICに対して伝送されることを特徴とすることができる。この方法によれば、下流側のドライバICに対して上流側のドライバICが処理すべきビデオ信号を見せない手法でビデオ信号を分配することが可能であり、ビデオ信号の分配もビデオ信号用の配線で行うことが可能となる点で好ましい。また、このLCDドライバに対して伝送されるビデオ信号は、パケットにより転送されると共に、このパケットのヘッダー部を用いたプロトコルにより複数のドライバICが制御されることを特徴とすれば、例えば、ドライバICに制御用入力を特別に設けることなく、全てのドライバICの制御を簡易に実行することができる点で優れている。

【0017】

【発明の実施の形態】図1は、本発明が適用された画像表示装置の一実施形態を示す構成図である。同図において、符号1は液晶セルコントロール回路、符号2は薄膜トランジスタ(TFT)の液晶構造を有する液晶セルであり、これらによって液晶モジュールを形成している。この液晶モジュールは、ホスト側のシステム装置とは分離した表示装置に、またはノートブックPCの場合にはその表示部に形成されるものである。この液晶セルコントロール回路1では、システム側のグラフィックスコントロールLSI(図示せず)からビデオインターフェイス(I/F)3を介してRGBビデオデータ(ビデオ信号)や制御信号がLCDコントローラ4に入力される。また、一般に、DC電源もこのビデオI/F3を介して供給される。DC-DCコンバータ5は、供給されたDC電源から液晶セルコントロール回路1に必要な各種DC電源電圧を作り出し、ゲートドライバ6やソースドライバ7、バックライト用の蛍光管(図示せず)等に供給している。LCDコントローラ4は、ビデオI/F3から受け取った信号を処理してゲートドライバ6やソースドライバ7に供給している。ソースドライバ7は、液晶セル2上にマトリックス状に並んだTFT配列において、水平方向(X方向)に並んだ、TFTの各ソース電極に印加する電圧を出力する。また、ゲートドライバ6は、同じく垂直方向(Y方向)に並んだ、TFTの各ゲート電極に印加する電圧を出力する。

【0018】このゲートドライバ6およびソースドライバ7は共に複数のICで構成されている。本実施の形態では、ソースドライバ7はLSIのチップである複数のソースドライバIC20を備えている。図1では、説明の都合上、液晶セルコントロール回路1と液晶セル2が分離しているように示されているが、本実施の形態では、複数のソースドライバIC20が液晶セル2を構成するガラス基板上にCOG構造で形成され、更に各配線もガラス基板上にWOA構造で形成されている。また、更に特徴的な構成として、この複数のソースドライバIC20に対する全ての配線は、カスケード接続(継続接続、多段接続として順番に接続される形式)で行われている。即ち、従来技術における28本のビデオインターフェイス信号を用いた駆動を、データ用の1ペアの信号線とクロック用の1ペアの信号線を用いて駆動するように構成されている。そのために、各ソースドライバIC20のチップにおける左右端に4個ずつのIOパッドが配置されるもので足りる。本実施の形態では、更に、電源関係の入力も各ソースドライバIC20のチップにおける左右端から行うように構成し、電源もチップ内のメタル層を介してカスケード接続するようにした。このように構成すれば、ガラス基板における各ソースドライバIC20の真下にあたる部分には、ドライバ用の配線を置く必要がなくなり、この部分にTFTを保護するため通常使用されるショート・リングの配線を置くことが

可能になる。

【0019】図2は、本実施の形態におけるLCDコントローラ4の内部構成を示す説明図である。符号11はレシーバであり、ビデオI/F3(図1参照)を介して入力されたパラレルのRGBビデオデータを受信してラッチする機能を有している。12はシーケンサ、13はバケットを作るための情報が格納されたテーブルである。このシーケンサ12は、ビデオI/F3を介して入力されたVS(垂直同期信号)、HS(水平同期信号)、DT(ディスプレイタイミング)の3つの制御信号から、テーブル13に格納された情報に基づいて4ビットからなるバケットのヘッダー情報を作成している。具体的には、例えばブランキング時間であれば"0000"を出力する等、ソースドライバIC20を制御するコマンドを作成している。また、各ソースドライバIC20の同期に用いる同期信号を水平ブランキング期間に送信するように構成されている。14はパラレル/シリアル変換器であり、レシーバ11にラッチされ出力された24ビットのパラレルであるビデオデータと、シーケンサ12により生成された4ビットのヘッダー情報を、シリアルに変換して、差動バッファ16に供給している。15はPLL(Phase Locked Loop: 位相同期回路)であり、28倍の通倍クロックを作成して差動バッファ17に供給している。この差動バッファ16、17は、パラレル/シリアル変換器14から出力されたデータおよび通倍されたクロックに対し、更に極性を反転させた同様なデータを付加した差動信号を形成して、ソースドライバIC20に対して出力している。

【0020】図3は、本実施の形態におけるソースドライバIC20の内部構成を示す説明図である。このソースドライバIC20は、LCDコントローラ4や前段にあるソースドライバIC20からの差動信号を受ける差動バッファ21、22、後段のソースドライバIC20に対して差動信号を出力する差動バッファ23、24を備えている。また、差動バッファ22から入力された差動クロック信号からシングルクロックを形成する変換器25、差動バッファ21から入力された差動ビデオ信号からシングルビデオ信号(Sin)を生成する変換器26を備えている。また、変換器25からのクロックを同期した低い周波数に変換するクロック分周回路27、シリアルデータから適切な4ビットパラレルデータを生成するシリアルビデオ信号受信回路28、LCDソース・ドライバ回路31の制御を行うドライバ制御回路29を備えている。更に、ガンマ補正用の基準電位を生成するガンマ補正回路30、ビデオデータを受けて液晶セル2に対してビデオ電圧を書き込むLCDソース・ドライバ回路31を備えている。

【0021】本実施の形態では、差動バッファ23、24は、ドライバ制御回路29から出力される制御信号Cn_t_Maskにより、出力を強制的に"1"にすることが可能で

ある。このように構成することで、下流側のソースドライバIC20に対して自分用のビデオデータをマスクすることが可能となり、特別な配線を設けることなく、ソースドライバIC20間におけるビデオデータの分配を実行することが可能となる。また、ソースドライバIC20を構成する各回路を差動クロックで動作するように設計する場合には、変換器25は差動バッファ21、22と同様な差動バッファとなる。ガンマ補正回路30は、外部からガンマ補正用基準電位を入力する場合は不要となるが、ソースドライバIC20の入力数を削減するためには内部で発生させることが好ましい。回路的には、10ビット精度程度のDACを複数用意し、ガンマ補正データを本実施の形態におけるインターフェイスを介してダウンロードすれば良い。また、LCDソース・ドライバ回路31は、通常のLCDソース・ドライバをそのまま流用することが可能である。即ち、図3に示すガンマ補正回路30およびLCDソース・ドライバ回路31を除く各回路を、通常のLCDソース・ドライバに取り込むことによって高速シリアル・ビデオインターフェイスを供えるLCDソース・ドライバを実現することが可能である。但し、XGA(Extended Graphics Array)(1024×768ドット)の解像度の場合、入力のクロック周波数は2GHz程度となるため、出願人(IBM社)が提唱しているSiGe(シリコンゲルマニウム)-BiCMOSテクノロジー等のプロセスを用いることが好ましい。尚、ここではSiGe-BiCMOSテクノロジーについての詳細な説明は省略する。

【0022】ここで、本実施の形態におけるシリアル転送のプロトコルについて説明する。図4は、本実施の形態に用いられるシリアルデータのフォーマット例を示している。これらのシリアルデータは、前述したLCDコントローラ4によって形成されて、又は前段(上流側)のソースドライバIC20で形成され、カスケード接続されたソースドライバIC20に供給されるものである。本実施の形態におけるシリアルデータは、28ビットで構成されている。本実施の形態では、これをビットブロックと呼んでいる。このビットブロックは、4ビットのヘッダー41と24ビットのデータ42から構成されている。本実施の形態におけるプロトコルでは、ヘッダー41により、図4に示す44~47の4種類のビットブロックを定義している。

【0023】(1) 同期用ビットブロック44

ブランキング期間中に送信されてくるビットブロックである。ヘッダー41は同期用のビットブロックである[1000]を示し、データ42は全て"0"である。この期間中に、各ソースドライバIC20はビデオデータの同期を取るように構成されている。

【0024】(2) コマンド用ビットブロック45

ブランキング期間中の任意のタイミングで送信されてくるビットブロックである。ヘッダー41はコマンド用の

11

ビットブロックである[1100]を示している。各ソースドライバIC20は、データ42の制御用データを解釈し、液晶セル2の駆動を行っている。以下に制御用データの実現例を示す。

(a) ビデオデータ送信開始 [0000-0000-0000-0000-000-0000]

ビデオデータ転送の開始を知らせる。このコマンド発行後にデータ用ビットブロック(後述)によるビデオデータの転送が開始される。

(b) ガンマデータ送信開始 [1000-1000-1000-1000-1000-1000]

ガンマ補正用データ(基準電位発生のための値)転送の開始を知らせる。このコマンド発行後にデータ用ビットブロック(後述)によるガンマデータ転送が開始される。

(c) ストロープON/OFF

ストロープON [1101-1101-1101-1101-1101-1101]

ストロープOFF [1100-1100-1100-1100-1100-1100]

液晶セル2への出力の開始を知らせる。ドライバ制御回路29は、ストロープONを受け取ると、LCDソース・ドライバ回路31へのストロープ(STB)信号をHighにする。また、ストロープOFFを受け取ると、LCDソース・ドライバ回路31へのストロープ(STB)信号をLowにする。これにより、ストロープ信号がHighの期間は液晶セル2への出力を高インピーダンス状態にする制御が可能となる。

(d) 出力極性指定

正極性出力 [1111-1111-1111-1111-1111-1111]

負極性出力 [1110-1110-1110-1110-1110-1110]

液晶セル2への出力電圧の極性を指定する。ドライバ制御回路29は、このコマンドにより内部の極性制御信号(POL)のセット・リセットを行う。

【0025】(3) データ用ビットブロック46

ビデオデータあるいはガンマ補正用データを転送する。ヘッダー41はデータ用のビットブロックである[1110]を示しており、内容の識別は先立って送信されるコマンドによって行う。

(a) ビデオデータ [Red 8-bit] [Green 8-bit] [Blue 8-bit]

1ライン分のデータを連続して転送する。XGAの場合は1024個のデータ用ビットブロック46が連続して送信されてくる。各ソースドライバIC20のドライバ制御回路29は、自分用のデータのみを受信するように構成されている。自分用のデータを受信している間、後続のソースドライバIC20には、データ用ビットブロック46を待機用ビットブロック(後述)に置き換えて渡している。

(b) ガンマ補正用データ [Gamma 10-bit] [00000000 000000]

10ビット精度のガンマ補正用基準電位を発生させる場合を示している。必要なデータ数を連続して送信する。

12

全てのソースドライバIC20のドライバ制御回路29が同じデータを受信するように構成することもでき、また、ソースドライバIC20毎に異なるデータが受信されるように構成することも可能である。

【0026】(4) 待機用ビットブロック47

ソースドライバIC20間でのみ使用する。ヘッダー41は待機用のビットブロックである[1111](wait)を示している。個々のソースドライバIC20は、ビデオデータの受信中に待機用ビットブロック47を後続のソースドライバIC20に渡す。待機用ビットブロック47受信中は、何も処理を行わず、データ用ビットブロック46におけるビデオデータの受信を待つように構成されている。

【0027】図5(a)、(b)、(c)は、連続するビットブロックにより構成されるシリアル信号の流れを示している。図5(a)は、初期設定として、各ソースドライバIC20のガンマ補正データを設定する状況を示している。まず最初に、連続する複数の同期用ビットブロック44からなる同期期間(Sync期間)があり、ソースドライバIC20はこれによって同期を取る。次に、コマンド用ビットブロック45におけるガンマデータ送信開始コマンドを受け取り、引き続いてデータ用ビットブロック46におけるガンマ補正データを受信する。このガンマ補正データは、前述のように、必要数のデータ用ビットブロック46からなっている。

【0028】図5(b)は、nラインのビデオデータの流れを示しており、ここでは、最初のソースドライバIC20であるファーストチップの入力と、次のソースドライバIC20であるセカンドチップの入力を例に挙げて説明している。ブランキング期間(Sync: 同期期間)の後、コマンド用ビットブロック45におけるビデオデータ送信開始コマンドが送信され、引き続いて1ライン分のビデオデータが送信されてくる。その後、適当なタイミングでストロープONコマンドが送信されてくるので、この時、ソースドライバIC20は液晶セル2へのデータ書き込みを開始する。但し、実際に液晶セル2に対して電圧を印加するのは、次にストロープOFFコマンドを受信したときであり、それまでの期間は出力が高インピーダンスに保たれる。ストロープONコマンドとストロープOFFコマンドとの間における出力極性指定コマンドによって、出力は正出力が選択される。ここで、図5(b)上段のファーストチップでは、自分のビデオデータ受信中は後続のソースドライバIC20(セカンドチップ)に対して待機用ビットブロック47を送出している。下段のセカンドチップは、待機用ビットブロック47を読み飛ばしてビデオデータの受信を開始し、液晶セル2へのデータ書き込みを実施する。図5(c)は、n+1ラインのビデオデータの流れを示している。図5(b)との違いは、出力極性として負出力が指定される点である。

【0029】このように、本実施の形態では、ビデオデータの転送やソースドライバIC20の制御を4種類のビットブロックにより実施している。その結果、従来のLCDソースドライバで用意されていた制御用入力ピンが全て不要になり、WOAの実現が可能となる。

【0030】次に、図3で説明したシリアルビデオ信号受信回路28の構成について説明する。図6は、シリアルビデオ信号受信回路28の構成を示した図である。このシリアルビデオ信号受信回路28は、送られてくるシリアルデータ中の同期用ビットブロック44を用いて自動的に同期をとり、頭出しの整った4ビットの平行データを入力する機能を有している。図6において、符号51は変換器であり、シリアルデータを4ビットの平行データに変換している。52, 53は、変換器51から出力されたシリアルデータをラッチする4ビットラッチである。54はセクタであり、7本の信号(A0~A2, B0~B3)から4本の信号を選択している。55はデコーダであり、4ビットラッチ52の出力をデコードするための回路である。56はシーケンサであり、デコーダ55によりデコードされた出力を使用して同期制御およびセクタ54の制御を行っている。57はデコーダであり、セクタ54の出力をデコードするための回路である。また、58は3ビットの同期用カウンタであり、ビットブロックのヘッダー位置を記憶している。

【0031】この変換器51および4ビットラッチ52, 53は、シリアルデータを8ビット幅の平行データに変換する機能を果たしている。この部分は、ソースドライバIC20を構成する回路の中で最も高速に動作する部分であり、コンパクトな回路が要求されている。図7は、この変換器51および4ビットラッチ52, 53を使用したシリアル/平行変換機能の実現例を示す図である。ここでは、DFF(D-フリップフロップ)を使用して実現している。図中のSignal/Clockは、シリアル入力信号が2GHzで行われる場合の信号とクロックの動作周波数を表している。変換器51に入力されたシリアルデータは、変換器51により平行に変換され、1GHzのクロック、サンプルできる幅(Signal)が1GHzで出力される。その後、4ビットラッチ52, 53のDFFを経由して、500MHzのクロックの速度、サンプルできる幅(Signal)が500MHzで出力される。

【0032】図6に示すデコーダ55は、4ビットラッチ52の出力をデコードして、同期用ビットブロック44のヘッダー41を探す回路である。デコーダ55は4ビットの比較器4個から構成されている。ここで、図8はヘッダー41の比較パターンとセクタ54の出力との関係を示す図である。左欄はnクロックにおける4ビットラッチ52からの出力であり、中欄はn+1クロック時におけるセクタ54からの出力である。更に、右

欄はシーケンサ56からセクタ54に対して出力されるコントロールIDであり、セクタ54はこのコントロールIDを受けて中欄の信号を出力するように構成されている。それぞれは、入力(A3, A2, A1, A0)と図8のビットパターンを比較する。シーケンサ56は、データの同期が崩れている期間中のみデコーダ55の結果を使用して、セクタ54を図8のように制御し、データの同期を復帰する。一度設定されたセクタ54の状態は、再びデータの同期が崩れるまで保持される。

【0033】デコーダ57は、セクタ54の出力をデコードしてデータの同期がとれているかどうかを示す回路であり、4ビットの比較器4個から構成されている。図9はデータ同期確認用のパターンを示す図である。4ビットの比較器で比較されるパターンは、図9に示すとおり、4種のビットブロックからなるヘッダー41のパターンである。シーケンサ56は、この比較結果を後述する適当なタイミングでモニターし、データの同期が崩れているならば同期の復帰を行うように構成されている。尚、データの同期が崩れている状態は、例えば電源投入時やシリアルな信号線にノイズが重なった時、また、停止したビデオデータの再開時等に生じる場合があり、この場合にはデコーダ55とシーケンサ56とによって誤ったビット列が切り出されてしまう。本実施の形態では、デコーダ57からの出力によってデータの同期を確認でき、同期が崩れている場合には同期を復帰させることが可能となる。

【0034】同期用カウンタ58は、セクタ54の出力にビットブロックのヘッダー41が出力されているはずのタイミングを知らせるカウンタである。本実施の形態では、1ビットブロックは28ビット構成であることから、セクタ54の出力には、7出力毎にヘッダー41が出力されるはずである。従って、データの同期を取っている期間中(シーケンサ56に知らされる)に、デコーダ55が同期用ビットブロック44のヘッダー41を発見したタイミングで、同期用カウンタ58を0にリセットし、0から6までを繰り返してカウントさせれば、同期用カウンタ58が0を示すタイミングでセクタ54の出力にヘッダー41が出力されることとなる。シーケンサ56は、このタイミングでデコーダ57の出力をモニターすることによって、データの同期が取れているかどうかを判断している。

【0035】図10は、シーケンサ56の状態遷移を示す状態遷移図である。シーケンサ56の状態遷移は、同期用カウンタ58が0のタイミングで発生する。まず、システムリセット後、シーケンサ56は「同期復帰中」状態61にある。この期間中は、デコーダ55の結果を基にセクタ54の制御を行い、自動的にデータの同期と頭だし処理を行う。デコーダ57から同期用ビットブロック44のヘッダー41が正しく検出されたら、「同期用ビットブロック受信」状態62に遷移する。この

状態では、同期用ビットブロック44を受信するだけで何も処理は行われない。ここで、コマンド用ビットブロック45のヘッダーコマンドを受信したら、「コマンド用ビットブロック受信」状態63に移る。もし、未定義のビットパターンを受信したらエラーとし、「同期復帰」状態61に戻り、データの同期を取り直す。

「コマンド用ビットブロック受信」状態63では、各種制御用コマンドを受信する。「データ用ビットブロック受信」状態64では、ビデオデータあるいはガンマ補正用データを受信する。「待機用ビットブロック受信」状態65では、データ用ビットブロック46の受信を待つ。この期間は、着目するソースドライバIC20よりも上流に配置されているソースドライバIC20がビデオデータのサンプリングを実行している。着目するソースドライバIC20は、待機用ビットブロック47に続いて送られてくるデータ用ビットブロック46を受信し、LCDソース・ドライバ回路31に存在するビデオデータ用メモリ(図示せず)に記憶する。

【0036】図11は、データ同期の流れを示す図であり、シリアルビデオ信号受信回路28の動作を示している。図11において、bn(b3~b0)71は変換器51の出力、An(A3~A0)72は4ビットラッチ52の出力、Bn(B3~B0)73はセクタ54の出力を示している。また、符号74のExxxxはデコーダ55の結果であり、同期(Sync)、コマンド(Command)、データ(Data)はデコーダ57の結果である。Hカウンタ(Hcounter)75は同期用カウンタ58の値であり、この値が0のときにシーケンサ56は遷移する。コントロール(Control)76はセクタ54の制御信号であり、図8のように機能する。状態(State)77はシーケンサ56の状態を表し、0は「同期復帰中」状態61、1は「同期用ビットブロック受信」状態62、2は「コマンド用ビットブロック受信」状態63、3は「データ用ビットブロック受信」状態64を表している。また、Dn(D3~D0)はセクタ54の出力を示している。この図11では、シリアル入力安定した後、Sync、Sync、Command、Data、Dataの順で入力が進み、データの同期が取れていく様子が示されている。データの同期には最低2サイクルのSyncが必要となる。

【0037】次に、図3で説明したドライバ制御回路29の構成について説明する。図12はドライバ制御回路29の構成を示した図である。図12に示すように、このドライバ制御回路29は、シリアルビデオ信号受信回路28により得られた4ビットパラレルデータを、4ビット幅7段のシフトレジスタ81を使用して28ビットパラレルデータに変換する。更に、シフトレジスタ81の出力を図6に示した同期用カウンタ58が0を示すタイミングで、28ビットのラッチ82に記憶する。このラッチ82に記憶されたデータ24ビットは、コントロール回路88により制御される切り換えスイッチ83を

介して24ビットのラッチ84またはラッチ87に記憶される。ラッチ84に記憶されたデータはビデオ信号であり、図3に示したLCDソース・ドライバ回路31に出力される。ラッチ84は、ラッチ85とラッチ86の2段になっており、タイミングを合わせることができるように構成されている。ラッチ87に記憶されたデータはガンマ補正用データであり、図3に示すガンマ補正回路30に出力される。切り換えスイッチ83の制御は、先立って受信されたコマンドがビデオデータ送信開始であったかガンマデータ送信開始であったかによって行われる。

【0038】コントロール回路88は、受信したコマンドに従って、LCDソース・ドライバ回路31への制御信号を生成する。図12に示す制御信号SPinは、サンプリング開始パルスであり、ビデオデータを受け取ったタイミングで発生させる。STBは、液晶セル2への出力を制御する信号であり、ストローブONのコマンドを受信したらSTBにHighを出力する。また、ストローブOFFのコマンドを受信したらSTBにLowを出力する。POLは、液晶セル2への出力の極性を制御する信号であり、正極性出力コマンドを受信したらPOLにHighを出力し、負極性出力コマンドを受信したらPOLにLowを出力する。SPoutは、LCDソース・ドライバ回路31からの入力信号であり、1チップ分のビデオデータのサンプリングが終了するタイミングを知らせている。コントロール回路88は、SPoutとシリアルビデオ信号受信回路28からの4ビットデータを使用して、待機用ビットブロック47を生成する信号であるCnt_Maskを生成する。Strobeは、ガンマ補正用データを受信したことを図3に示すガンマ補正回路30に知らせる信号である。

【0039】図13(a)、(b)は、制御信号の生成の様子(波形と各制御信号の状態遷移図)を示している。図13(a)に示すラッチ82は図12に示すラッチ82の出力を表している。このとき、ビデオデータ(Video Data)は、切り換えスイッチ83を通してラッチ85、ラッチ86とラッチされて、LCDソース・ドライバ回路31へ出力される。図13(b)に示す状態遷移図のように、このとき、SPinは、ビデオデータ送信開始コマンド(Cmd Video)を受けた後、最初のビデオデータを受信したタイミングで1パルス出力される。即ち、状態が0から1に遷移する。STBは、ストローブONコマンド(Cmd StbOn)を受けると1に設定され、ストローブOFFコマンド(Cmd StbOff)を受けると0にクリアされる。更に、POLは、出力極性指定コマンド(Cmd Pos/Cmd Neg)を受けると、指定された極性を表すビットに遷移する。但し、ここで示したコントロール回路88は入力クロックの1/28で動作する。

【0040】図14~図18に待機用ビットブロック47を生成することにより実現するビデオデータの分配の

様子を示している。図14は、待機用ビットブロック47生成開始タイミングにおけるデータの流れを示した図である。実装される全てのソースドライバIC20で同じ動作が実行される。シリアルビデオ入力は、図6に示した変換器51、4ビットラッチ52、4ビットラッチ53、セクタ54を経由して、図12に示すコントロール回路88に到達する。シリアルビデオ入力は2GHz程度の信号であり、それ以外は、2GHzの1/4にあたる500MHz程度の信号となる。コントロール回路88は、セクタ54からビットブロックのヘッダー41が出力されるタイミング(図6に示す同期用カウンタ58が0を出力するタイミング)で、入力されたビットブロックがコマンド用ビットブロック45であることを知り、次の500MHzクロックで、そのコマンドがビデオデータ送信開始コマンドであることを知る。このとき、Cnt_Maskを1にする。Cnt_Maskの変化点は、自走する変換器51のタイミングにより、2GHzクロックで4クロック分のばらつきが発生する。しかし、コマンド用ビットブロック45に続くデータ用ビットブロック46のヘッダー41まで十分に余裕があるので、確実にそのヘッダー[1110]を[1111]に、つまり、待機用ビットブロック47に変化させることができる。また、Cnt_Maskが0から1に変化するタイミングでは、差動バッファ23の出力が不定になる可能性があるが、この期間は、後続のソースドライバIC20にとって、もともと意味を持たない部分であり、問題が生じることはない。

【0041】図15は、シリアルビデオ入力から、24ビットデータ完成までの遅延を示す図であり、図12に示すラッチ82に24ビットのデータが出力されるまでの遅延を説明している。また、図16は、LCDソース・ドライバ回路31へのデータ出力とサンプリングパルスのタイミングを示す図であり、ラッチ82の24ビットデータが図12に示すラッチ85、ラッチ86を経由して、図3に示すLCDソース・ドライバ回路31に出力される様子を示している。図16において、SPinはサンプリング開始パルスであり、SPn(SP0, SP1, SP2, SP3, ...)は、LCDソース・ドライバ回路31が内蔵するシフトレジスタ出力である。SPnが1のときにn番目のデータを記憶する。ここで、図17は、図15、図16を参考にしてソースドライバIC20間でデータの分配が発生するタイミングを記述した図である。図17は、384(128×3(RGB))出力のソースドライバIC20の場合を示しており、各ドライバチップは128個のデータ用ビットブロック46を必要とする。1個目のソースドライバIC20は、データ(Data)0～データ127を読み込み、2個目のソースドライバIC20は、データ128～データ255を読み込む。図17に示されるように、図12に示したコントロール回路88は、データ124を記憶しているタイミングを表すSP124をSPoutとして使用することに

より、適正なタイミングでCnt_Maskを0に戻すことができる。Cnt_Maskが0に戻ると、待機用ビットブロック47になっていたシリアルビデオ信号が、もとのデータ用ビットブロック46になり、後続のソースドライバIC20は正しくビデオデータを受信することができるようになる。

【0042】以上のように、Cnt_Mask信号を制御することによって、カスケード接続された複数のソースドライバIC20間で、正しくビデオデータの分配が行われる。図18は、Cnt_Mask信号生成のシーケンスを示した図である。状態は1/4クロック(本実施の形態では500MHz)で動作する。Cnt_Mask信号は、State[11]のときに1になり、それ以外のStateでは0となる。

【0043】図19は、図3に示した出力用の差動バッファ23, 24の構成を示す図である。図19において、Cnt_Maskが1のとき、ビデオデータ用の差動バッファ23の正出力(+Data)は1になり、負出力(-Data)は0になる。クロック用の差動バッファ24は、その特性をビデオデータ用の差動バッファ23に合わせるために、同じ構成とし、制御入力に0に固定されている。

【0044】以上説明したように、本実施の形態では、信号用パッドおよび電源用パッドをチップであるソースドライバIC20の左右に配置し、チップ間の配線全てをカスケード接続とした。また、電源もチップ内のメタル層を介してカスケード接続するように構成している。その結果、チップ間のバス接続を無くすることが可能となり、WOAを実現することが可能となる。また、ビデオ信号の水平ブランキング期間に2サイクルからなる同期パターンを送信するように構成している。また、ビデオデータの転送期間は各ビットブロックのヘッダーパターンのモニターを行い、同期の確認を行うように構成した。その結果、誤動作した場合であっても1ライン後には同期の復帰を図ることが可能となる。更に、パケット転送により、ビデオ転送用のラインのみで各ソースドライバIC20における制御を可能としている。その結果、通常用意されている制御用入力が全て不要となり、配線を画期的に削減することが可能となる。また更に、チップ間におけるビデオデータの分配は、各ソースドライバIC20が自分用のビデオデータをマスクすることにより後続のソースドライバIC20に見せない手法で実現している。これにより、ビデオデータの分配もビデオデータ用の配線だけで行うことが可能となる。

【0045】

【発明の効果】以上説明したように、本発明によれば、LCDドライバの入力数を削減し、COG&WOAの実現によるコスト低減を図ることが可能となる。また、コンパクトで低消費電力である高速なシリアルインターフェイスを実現でき、高速で動作する回路を最小限に押さえることで、消費電力とチップサイズの増加を低く押さえることが可能となる。

【図面の簡単な説明】

【図1】 本発明が適用された画像表示装置の一実施形態を示す構成図である。

【図2】 本実施の形態におけるLCDコントローラ4の内部構成を示す説明図である。

【図3】 本実施の形態におけるソースドライバIC20の内部構成を示す説明図である。

【図4】 本実施の形態に用いられるシリアルデータのフォーマット例を示した図である。

【図5】 (a)、(b)、(c)は、連続するビットブロックにより構成されるシリアル信号の流れを示した図である。

【図6】 シリアルビデオ信号受信回路28の構成を示した図である。

【図7】 変換器51および4ビットラッチ52, 53を使用したシリアル/パラレル変換機能の実現例を示す図である。

【図8】 ヘッダー41の比較パターンとセレクト54の出力との関係を示す図である。

【図9】 データ同期確認用のパターンを示す図である。

【図10】 シーケンサ56の状態遷移を示す状態遷移図である。

【図11】 データ同期の流れを示す図である。

【図12】 ドライバ制御回路29の構成を示した図である。

【図13】 (a)、(b)は、制御信号の生成の様子(波形と各制御信号の状態遷移図)を示した図である。

【図14】 待機用ビットブロック47生成開始タイミングにおけるデータの流れを示した図である。

【図15】 シリアルビデオ入力から24ビットデータ

完成までの遅延を示す図である。

【図16】 LCDソース・ドライバ回路31へのデータ出力とサンプリングパルスのタイミングを示す図である。

【図17】 ソースドライバIC20間でデータの分配が発生するタイミングを記述した図である。

【図18】 Cnt_Mask信号生成のシーケンスを示した図である。

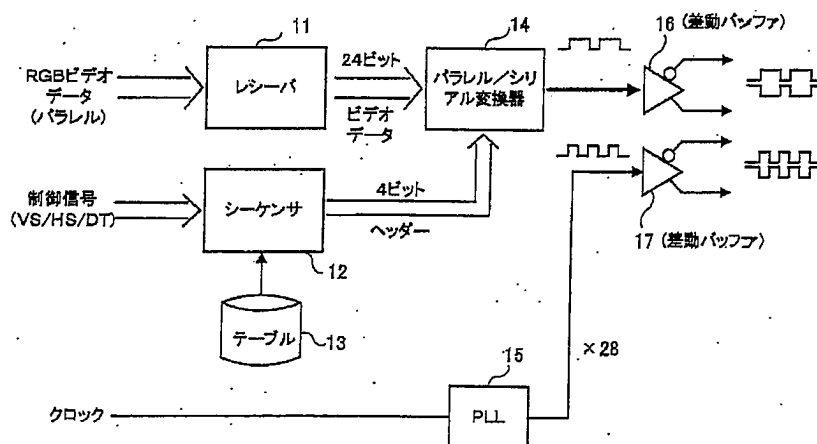
【図19】 図3に示した出力用の差動バッファ23, 24の構成を示す図である。

【図20】 従来のLCDソースドライバで採用されているインターフェイスを説明するための図である。

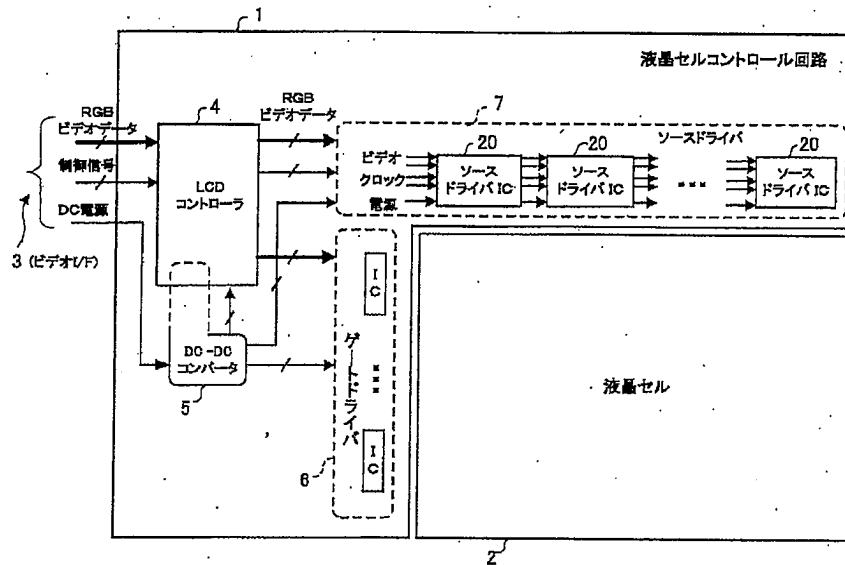
【符号の説明】

1…液晶セルコントロール回路、2…液晶セル、3…ビデオインターフェイス(I/F)、4…LCDコントローラ、6…ゲートドライバ、7…ソースドライバ、11…レシーバ、12…シーケンサ、13…テーブル、14…パラレル/シリアル変換器、15…PLL、16, 17…差動バッファ、20…ソースドライバIC、21, 22, 23, 24…差動バッファ、25, 26…変換器、27…クロック分周回路、28…シリアルビデオ信号受信回路、29…ドライバ制御回路、30…ガンマ補正回路、31…LCDソース・ドライバ回路、41…ヘッダー、42…データ、44…同期用ビットブロック、45…コマンド用ビットブロック、46…データ用ビットブロック、47…待機用ビットブロック、51…変換器、52, 53…4ビットラッチ、54…セレクト、55…デコーダ、56…シーケンサ、57…デコーダ、58…同期用カウンタ、81…シフトレジスタ、82…ラッチ、83…切り換えスイッチ、84, 85, 86, 87…ラッチ、88…コントロール回路

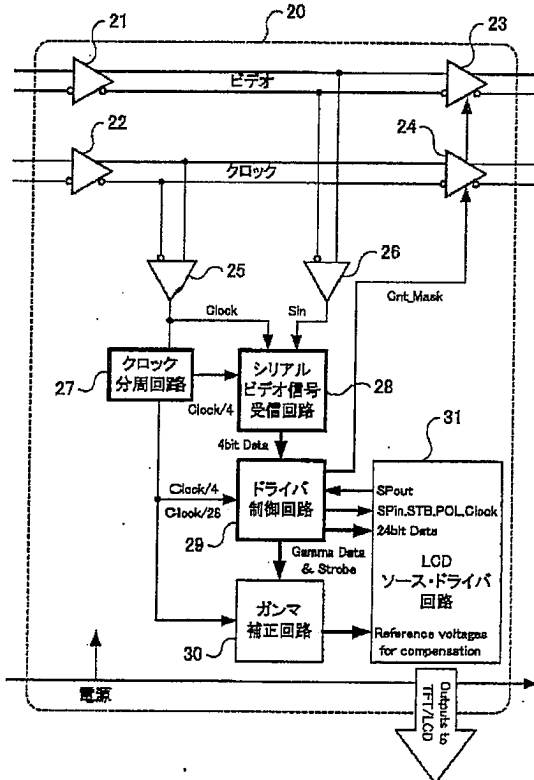
【図2】



【図1】



【図3】



【図8】

4ビットラッチ52(nクロック) [A3, A2, A1, A0]	セレクトタ54(n+1クロック) [D3, D2, D1, D0]	コントロール ID
[1, 0, 0, 0]	[A2, A1, A0, B3]	0
[0, 1, 0, 0]	[A1, A0, B3, B2]	1
[0, 0, 1, 0]	[A0, B3, B2, B1]	2
[0, 0, 0, 1]	[B3, B2, B1, B0]	3

【図9】

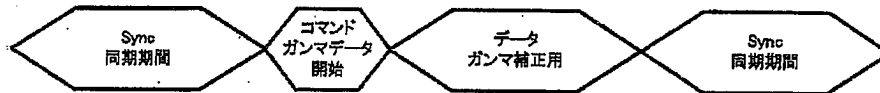
ビットブロックの種類	セレクトタ出力との比較パターン [D3, D2, D1, D0]
同期	[0, 0, 0, 1]
コマンド	[0, 0, 1, 1]
データ	[0, 1, 1, 1]
待機	[1, 1, 1, 1]

【図4】

ビットブロック フォーマット	41 ヘッダー 4bit	42 データ 24bit
(1)同期用 ビットブロック 44	Sync [1000]	All zero [000000000000000000000000]
(2)コマンド用 ビットブロック 45	Command [1100]	Command bits 24bit
(3)データ用 ビットブロック 46	Data [1110]	Data bits 24bit
(4)特機用 ビットブロック 47	Wait [1111]	Undefined 24bit

【図5】

(a)初期設定



(b)nライン

ファーストチップの入力



セカンドチップの入力

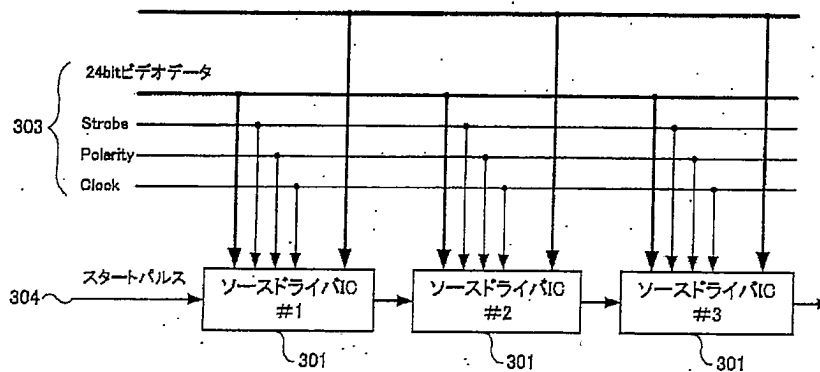


(c)n+1ライン

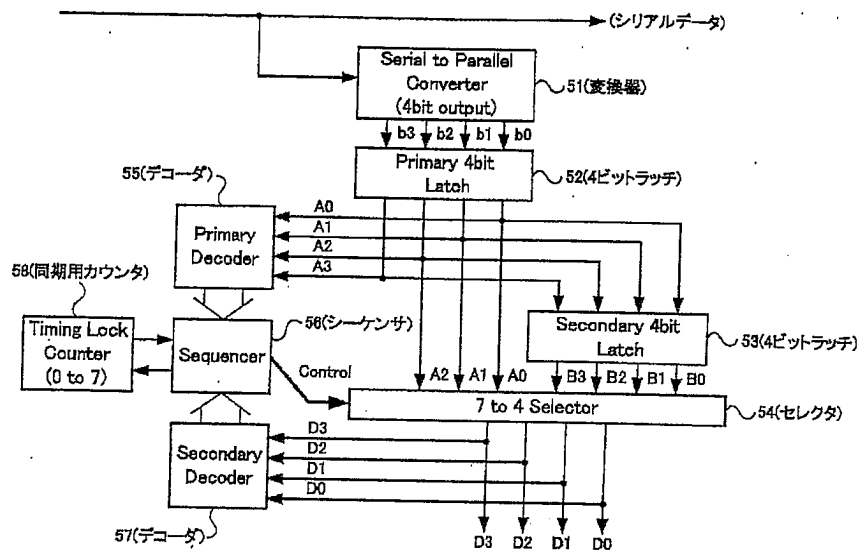


【図20】

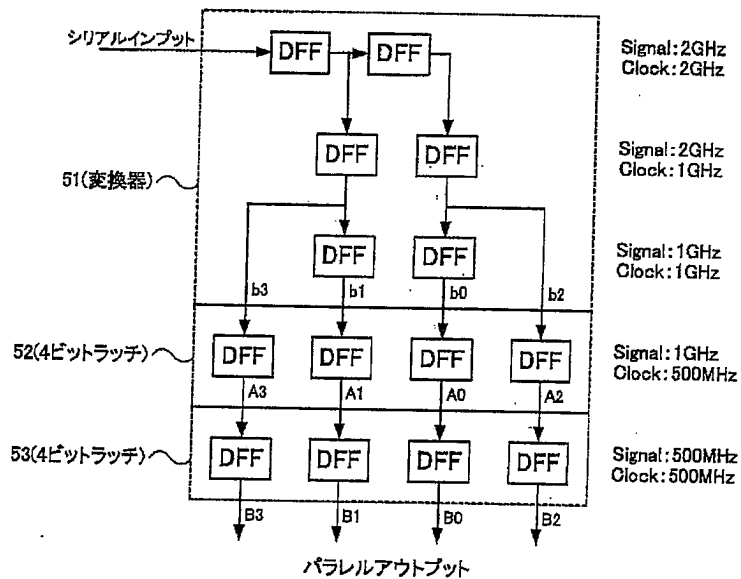
302〜 電源(Logio, Analog, Gamma)



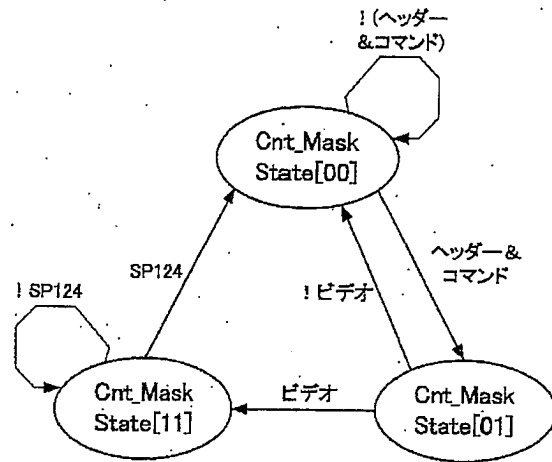
【图6】



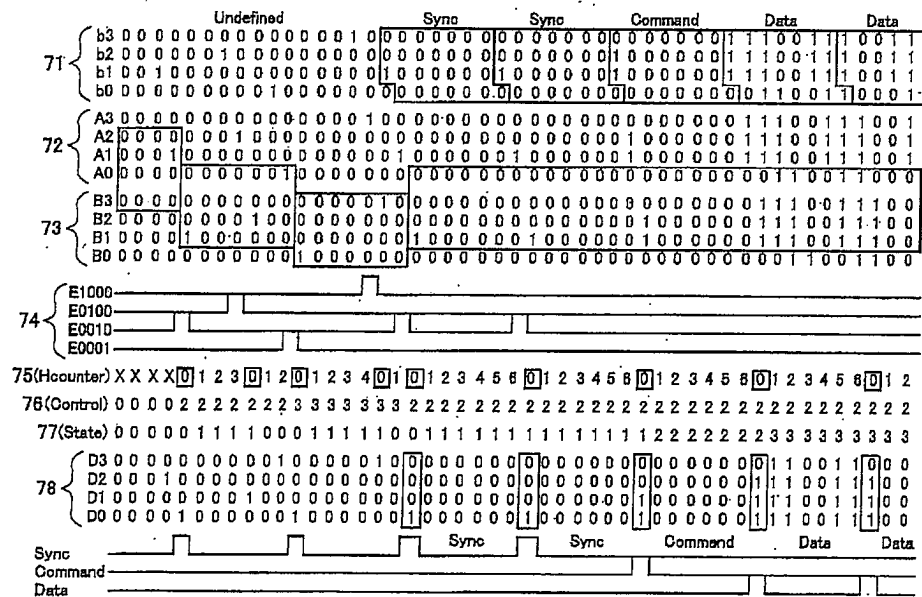
【図7】



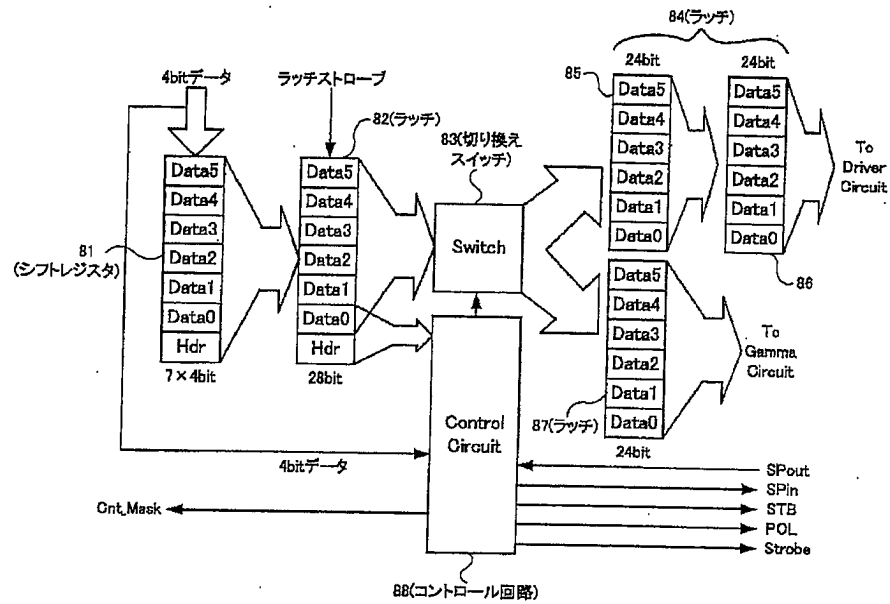
【图18】



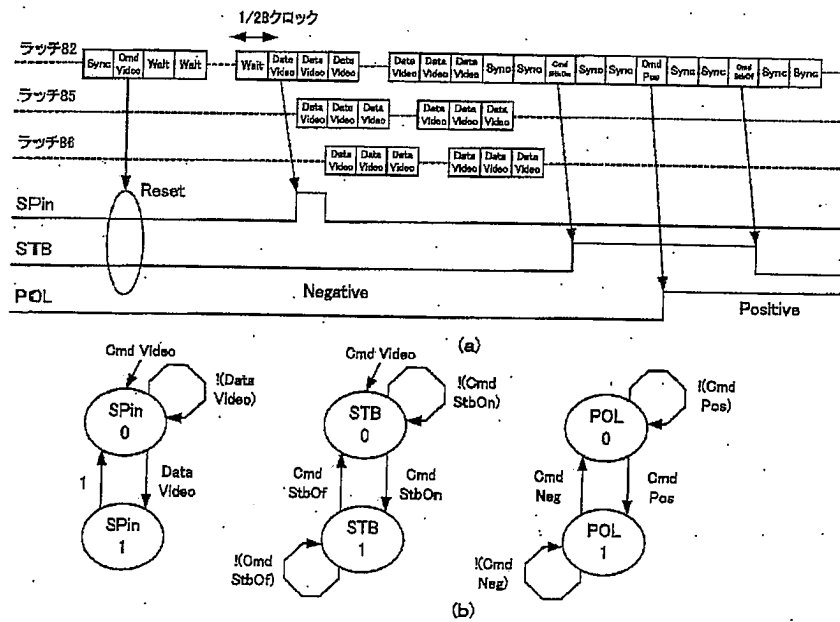
【図11】



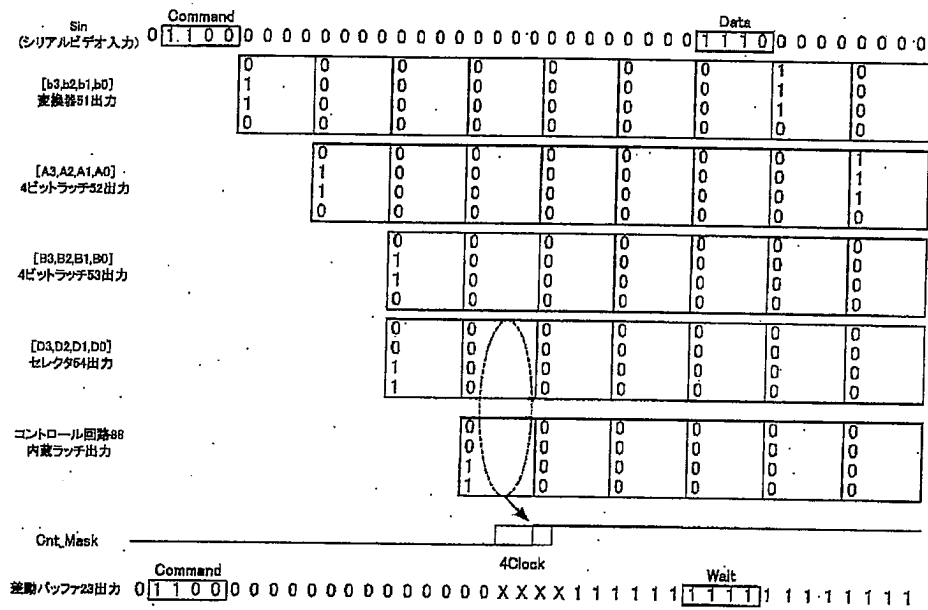
【図12】



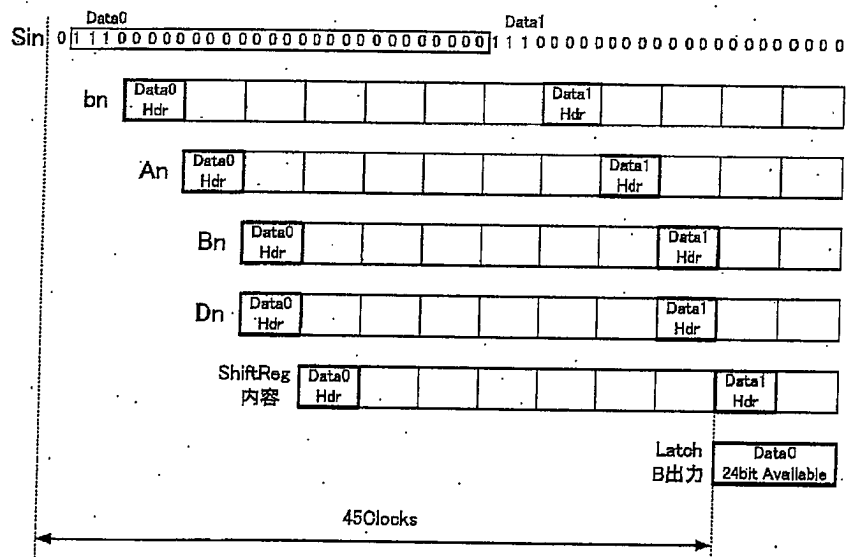
【図13】



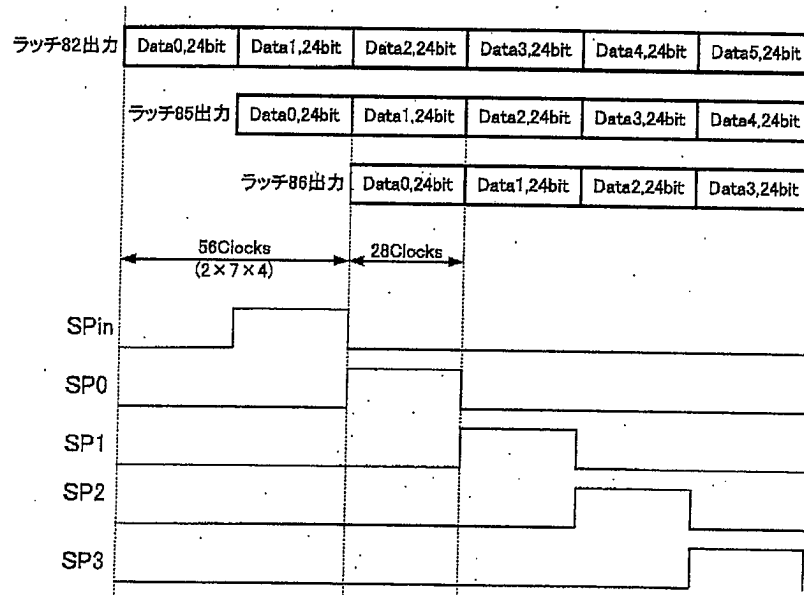
【図14】



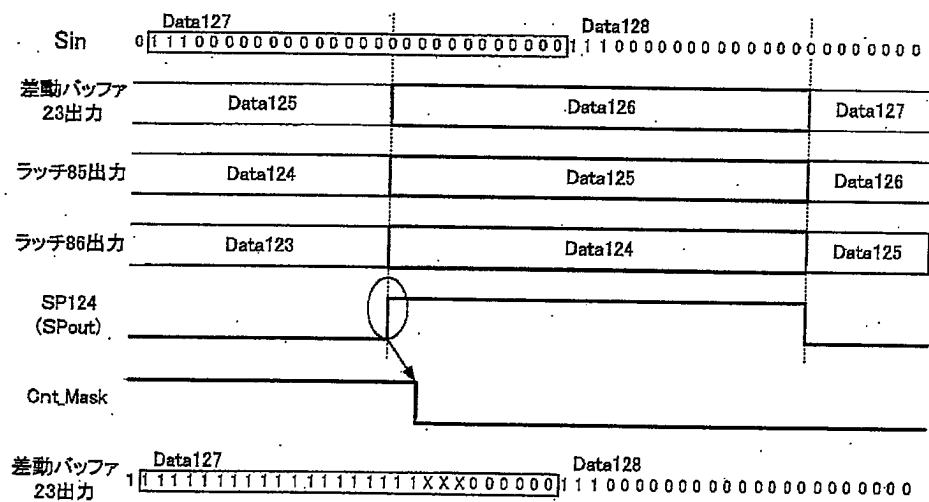
【図15】



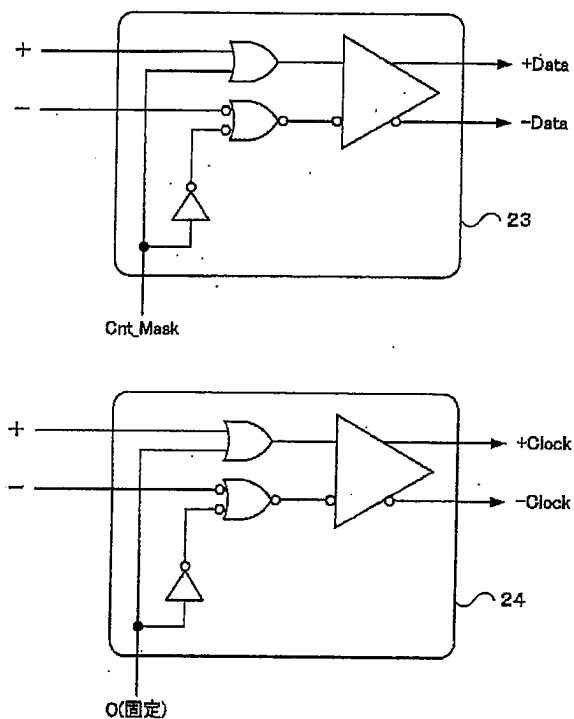
【図16】



【図17】



【図19】



フロントページの続き

(72)発明者 坂口 佳民

神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 東京基礎研究所
内

(72)発明者 デグレ シモン

神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 東京基礎研究所
内

F ターム(参考) 2H092 GA60 NA25 PA06

5C006 AA01 AF25 AF46 AF84 BB16
BC12 BC20 BC24 BF04 BF22
BF23 BF24 BF25 BF26 BF46
EB05 FA42 FA51

5C058 AA06 AB06 BA01 BA13 BA35
BB10 BB20

5C080 AA10 BB05 DD23 DD27 EE19
GG07 GG08 JJ02 JJ04 JJ05
JJ07